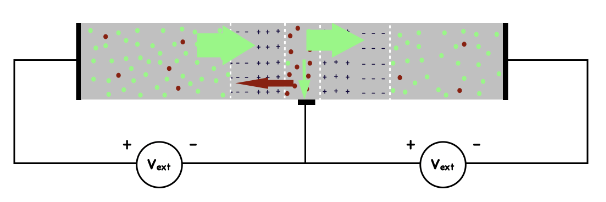
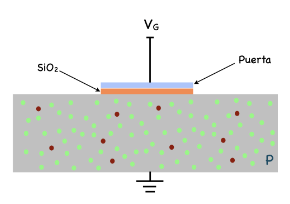
**Transistor**

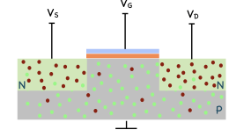
**Transistor bipolar**

****

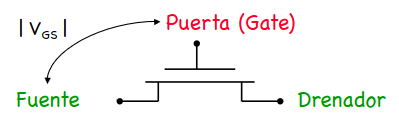
* Creamos una unión PN y añadimos otro semiconductor tipo P, produciendo 2 diodos enfrentados
* Polarizamos uno en directa y otro en inversa
  + En el diodo en directa se produce un trasvase de portadores de donde son mayoritarios a donde son minoritarios, en el otro no ocurre nada
* Dopamos el semiconductor de la izquierda más. Esto produce que e el nº de huecos sea mayor y que se produczca mayor flujo de huecos que electrones. Los huecos pasan al semiconductor del medio y se recombinan.
* Ahora, hacemos que el semiconductor del medio sea más estrecho. Ahora, en lugar de recombinarse, la mayoría de huecos que llegan al medio continúan y son arrastrados al semiconductor de la derecha.
  + Con estos cambios, en lugar de no producirse nada en el transistor en inversa, ahora se produce una corriente que fluye por los terminales laterales.
* El dispositivo creado se denomina **transistor bipolar (BJT)**
  + Las tres regiones que posee se denominan base, emisor y colector. La corriente que se aplica sobre la base permite regular el flujo de corriente entre emisor y colector.
  + El transistor bipolar se puede utilizar para crear dispositivos como amplificadores o inversores

**Estructura MOS I**

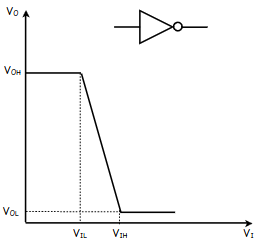
* Partimos de un semiconductor intrínseco y se dopa para hacerlo extrínseco.
* Situamos en la parte de arriba una capa de óxido, y encima una capa metálica denominada puerta
* Si aplicamos una tensión VG sobre la puerta, el semiconductor reaccionará según el signo y valor de la tensión:
  + **VG<0:** Se deposita carga negativa sobre la puerta y se induce positiva al otro lado. El material se carga de forma similar a un condensador
  + **VG>0:** Se deposita carga positiva sobre la puerta.
    - Se debería inducir carga negativa al otro lado, pero al ser semiconductor tipo P, no se puede compensar por completo, produciendo un campo eléctrico que repelerá los huecos del semiconductor.
    - Aparece una capa de vaciamiento de carga iónica negativa desde la superficie del semiconductor.
  + Si sigue aumentando VG, aumentará el campo eléctrico y se comenzarán a romper enlaces, por lo que la concentración de electrones libres aumenta.
    - Estos electrones se acumularán bajo la puerta, compensando parcialmente la carga. Se denomina modo de inversión.

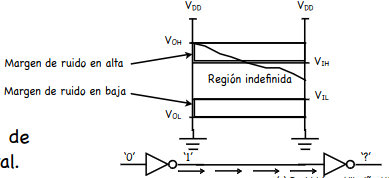


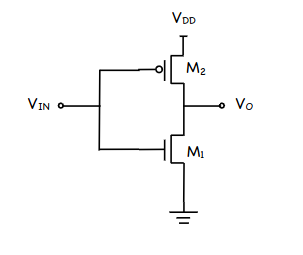
**Transistor MOS**

* Tomamos una estructura MOS y dopamos ambos lados de la puerta para crear dos regiones semiconductoras de tipo N. La de la izquierda se denomina **fuente** y la de la derecha se denomina **drenador**.
  + Equivalente a dos diodos conectados en sentidos opuestos
* En este circuito no fluye corriente entre la fuente y el drenador, a no ser que se aplique un potencial lo suficientemente alto a la puerta. (**VG > VTH**)
  + Si se aplica este potencial, aparece un canal entre el drenador y la puerta por los electrones mencionados en el modo de inversión.
* De esta forma, se produce un efecto de transistor. El dispositivo se denomina **Transistor NMOS[[1]](#footnote-0)**
  + Abierto funciona como un interruptor abierto. Cerrado funciona como una **resistencia** de valor **RON**.
  + Un Transistor **PMOS** es idéntico pero con la puerta invertida.
* La corriente entre fuente y drenador sigue la siguiente fórmula: **ID=f(W/L)**
  + Siendo W la anchura del canal y L la longitud.

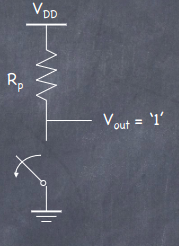
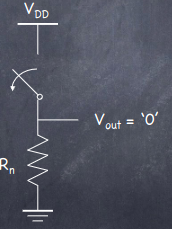
**Métricas de calidad**

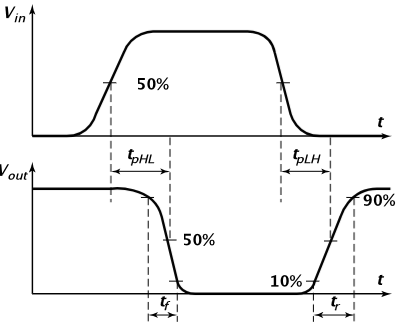
**Fiabilidad y robustez III**

* La curva **VTC** (voltage transfer characteristic) representa Vo respecto a Vi para un componente. Permite describir el comportamiento ideal y real de un componente.
* **VOH**: Nivel alto de salida
* **VOL:** Nivel bajo de salida
* **VIL:** Valor máximo de entrada interpretado como 0
* **VIH:** Valor mínimo de entrada interpretado como 1
  + VIL y VIH se consiceran como los puntos con pendiente -1
* **NML**: Margen de ruido en baja: VIL-VOL
* **NMH:** Margen de ruido en alta: VOH-VIH
* Cuanto mayores sean los márgenes de ruido, más robusto será el circuito.

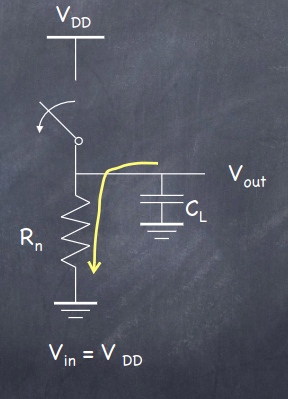
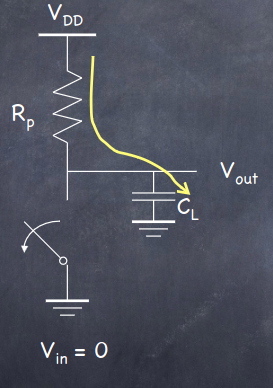


**Inversor CMOS**

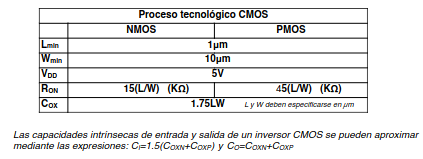
* VOH = VDD (voltaje de alimentación), VOL=0. Márgenes de ruido elevados
* **Rn = Kn\*Ln/Wn, Rn = Kp\*Lp/Wp,**
  + Es decir, la resistencia ofrecida es dir.prop. a la longitud del transistor e inversamente a la anchura. K es una constante propia del transistor.

**Velocidad**

* **Retardo de propagación alta-baja(tpHL)**: Tiempo desde que la entrada alcanza el 50% del valor alto hasta que la salida conmuta en un 50%.
* **Retardo de propagación baja-alta(tpLH):** Tiempo desde que la entrada alcanza el 50% del valor bajo hasta que la salida conmuta en un 50%.
* Se define el **retardo de propagación** como **tp** = (tpHL+tpLH)/2

**Retardo en un circuito**

* La capacidad **CL** representa la capacidad de salida de este inversor sumada a las capacidades de entrada de todas las puertas a la que va conectada.
* La carga y descarga de CL, como si fuese un condensador, determinará los retardos del circuito. Sustituyendo en la fórmula, obtenemos:
  + **tPLH = ln(2)RPCL**
  + **tPHL = ln(2)RNCL**
* Buscamos que los retardos sean simétricos, por lo que buscaríamos que Rp=Rn=R. Entonces, **[[2]](#footnote-1)**
* Conclusiones:
  + **tp** es directamente proporcional a **CL**, y CL aumentará cuanto más puertas lógicas estén conectadas (y cuanto mayor sea su CI)
    - Definimos **fan-out** como el nº de puertas conectadas a la salida de la puerta conectada. A mayor fan-out, mayor retardo.
  + **tp** es también directamente proporcional a R, por lo que debemos minimizarla. Para esto:
    - Debemos minimizar **Ln** y **Lp** (llegado cierto punto es imposible)
    - Maximizar **Wn** y **Wp** (sin embargo, aumentar W también aumenta la CO del transistor, por lo que dependerá del caso si merece la pena aumentar W o no)

**Ejemplo: Obtener retardos de un inversor**

* Sea un inversor CMOS con carga CL=200pF. Dadas las especificaciones, calcular los retardos.
* Se debe asegurar que sea **simétrico** (Rp=Rn). Se consideran los valores mínimos de L posibles y se calcula el W necesario para asegurar la simetría.
  + Lp=LN=1μm, Wn=10μm, Wp=30μm. Para estas dimensiones, RN=Rp=1.5K
* Se calculan las capacidades con las expresiones dadas.
* Teniendo en cuenta que RN=RP, conocemos que tp=tPHL=tPLH = ln(2)\*R\*(CO+CL).

**Consumo de potencia**

* **Potencia media:** Marca principalmente la vida de la batería
* **Potencia instantánea (picos de potencia):** determina el diseño del cableado y afecta a los márgenes de ruido y a la fiabilidad de resistencia

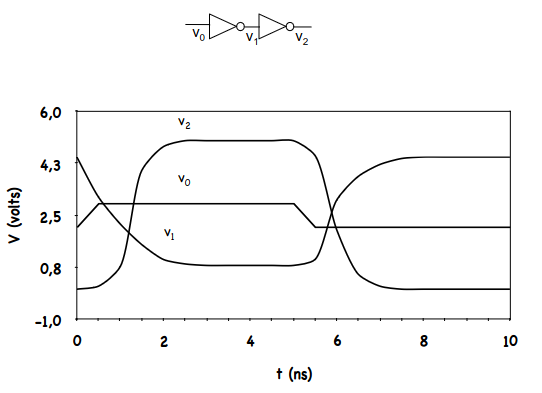
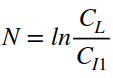
**Consumo de un circuito II**

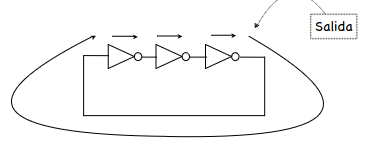
* ****

(potencia dinámica, 90%) (potencia de cortocircuito, 8%) (potencia estática, 2%)

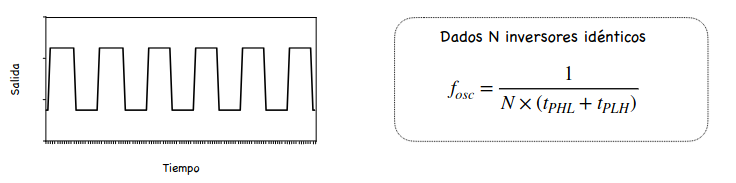
* Para disminuir el consumo de potencia dinámica (transición entre estados), se deben disminuir **CL** (fanout), **VDD**(tensión de alimentación) y **fo** (frecuencia)
* La potencia de cortocircuito (transición entre estados, cuando hay corriente entre alimentación y tierra) depende principalmente del **fanout:** cuanto mayor sea el fanout, menor será la potencia (cuanto más fanout mejor, es inverso a en la potencia dinámica)
  + Aun así es mejor fanout pequeño porque PD es más significativa
* La potencia estática (fugas) depende principalmente del proceso de fabricación

**Inversores en cascada**

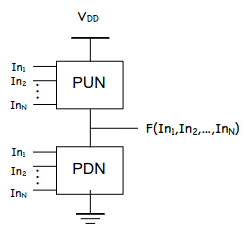
* La unión de dos inversores CMOS es útil por su **propiedad regenerativa:** permite que una señal perturbada converja al nivel de tensión normal
* En ocasiones, utilizar varios inversores también permite **reducir los retardos**, pues puede ser más fácil cargar paso a paso una capacidad CL que cargarla de golpe en un único paso (ejemplo de escalar muro/subir con escaleira)
  + Si para un inversor CL >> CO, tp=tPHL=tPLH=ln2RCL.
    - Aumentar W para este transistor aumentará su CO (lo cual no es demasiado relevante) pero también aumentará su CI, perjudicando al resto del circuito.
    - La **CL** de un inversor k es **COk + CI(k+1)**
* Por lo tanto, en lugar de modificar su W añadimos otros dos inversores, tales que el segundo es s veces más grande que el primero y el tercero es s2 veces más grande que el primero.
* Si el escalado es ideal, 
* Sumamos sus tiempos de retardo. Para N inversores, asumiendo un escalado ideal, 
* Para calcular el nº de escalones N que minimiza el retardo, derivamos la expresión en función de N. Asumiendo pequeño el retraso de la primera etapa, obtenemos:
*  (N: nº de etapas óptimo)
* En una situación real tomaremos s y N enteros, y no se cumplirá que el escalado sea ideal. Se redondeará N al número entero más próximo[[3]](#footnote-2) .
  + Se suele tomar s entre 2 y 4.

**Oscilador en anillo**

* Un lazo cerrado de un número **impar** de inversores proporciona un **oscilador digital**.



**Circuitos lógicos combinacionales**

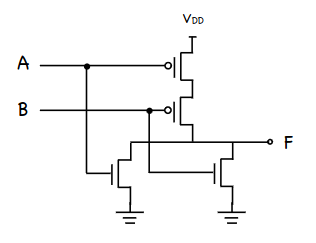
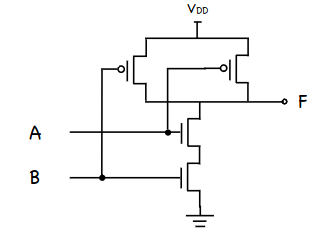
**Lógica CMOS complementaria IV**

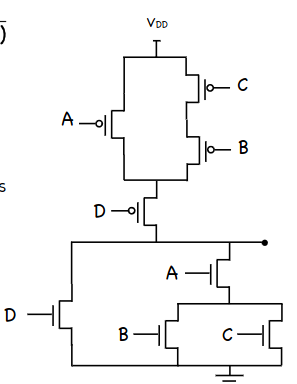
* Extensión del inversor CMOS. Permite construír funciones lógicas.
* Constituido por dos bloques de transistores:
  + **Pull-Up Network (PUN):** Bloque superior de transistores PMOS
  + **Pull-Down Network (PDN):** Bloque inferior de transistores NMOS
* Al crear funciones lógicas con tecnología CMOS:
  + Una conexión en serie en el bloque PMOS corresponde con una en paralelo en el bloque NMOS, y viceversa
    - Tras elaborar uno de los bloques, el otro será una copia con las conexiones en serie cambiadas por paralelo y viceversa. Se recomienda empezar por el bloque N.
  + Las puertas en lógica complementaria incluyen una **inversión**, por lo que la salida será negada
* Al leer una función lógica a partir de un circuito, se lee la parte NMOS, se considera en serie →AND y en paralelo →OR, y se niega la función completa final.

**Implementación puertas lógicas**

* Transistores NMOS en serie o PMOS en paralelo implementan (parcialmente[[4]](#footnote-3)) una función NAND
* Transistores NMOS en paralelo o PMOS en serie implementan (parcialmente) una función NOR

**Implementación puertas lógicas** pero ben feita

* Se añaden transistores adicionales que vayan a tierra, garantizando que la salida se fija a 0 cuando es necesario.
* **Puerta NAND:** **Puerta NOR:**

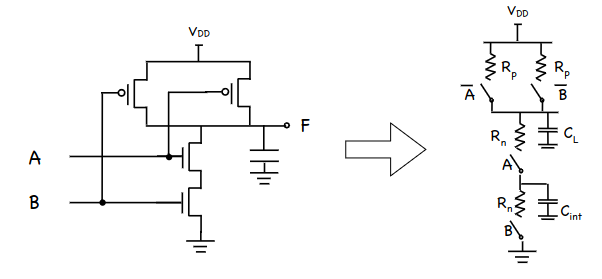
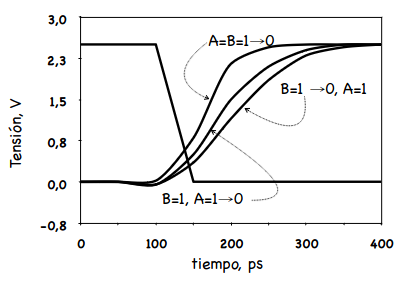


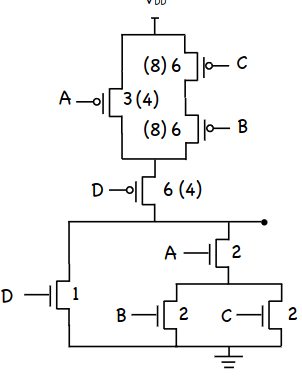
**Ejemplo:**

* Bloque P en parte superior, N en inferior
* Se realiza la función por partes:



**Retardos de propagación**

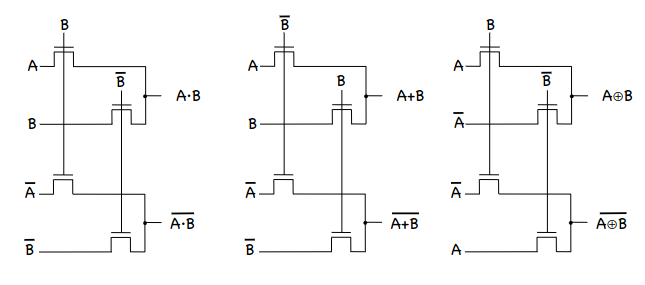
* Tomando como referencia la siguiente puerta NMOS de dos entradas:
* El retardo de propagación dependerá de la transición que se produzca:
  + Ambas entradas de baja a alta: **tpLH** 0.69 \* Rp/2 \*CL
    - Debido a que hay dos resistencias en paralelo, proporcionando dos vías para cargar el condensador, por lo que es más rápido.
  + Una entrada de baja a alta: **tpLH** 0.69 \* Rp \*CL
  + Ambas entradas de alta a baja: **tpHL** 0.69 \* Rp\*2 \*CL
* **Conclusión:**
  + Añadir transistores en serie ralentiza el circuito.
  + Las entradas más lentas deben estar próximas al nodo de salida.

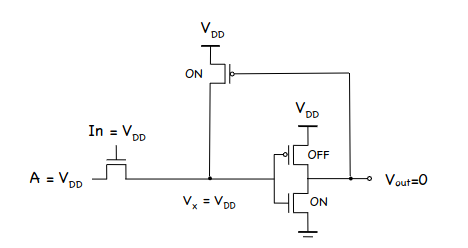
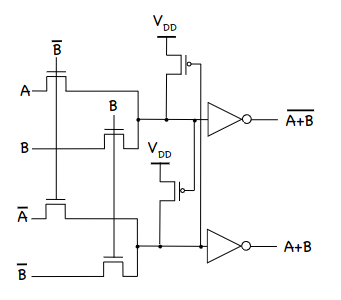
**Dimensionado de transistores** para obtener retardos simétricos

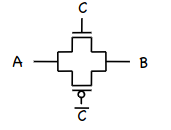
* Partimos de que todos los transistores tienen s=1.
* Se busca que los retardos sean **simétricos**, y similares en los peores casos a los del inversor.
* Calculamos los peores casos de retardo tanto para 0→1 como para 1→0, estudiando tpLH y tHL en los caminos más largos (con mayor resistencia entre los puntos)
  + Ejemplo: En el siguiente circuito, el peor caso ‘0’-->’1’ (parte superior PMOS) es el camino que toma C,B,D en serie.
  + R=RD+RB+RC=(2R/s)+(2R/s)+(2R/s)= 6R/s[[5]](#footnote-4)
* Calculamos, para cada resistencia, el valor de **s** que hace que la resistencia sea igual a **R[[6]](#footnote-5)**. En el caso anterior, C,B y D toman aumento **s=6**.
* Una vez se calculan los peores casos absolutos, se consideran los peores casos que involucran a cada transistor, hasta tener el escalado de todos.
  + Ejemplo: Calcular sA en la parte PMOS. RpA+RpD<=R. El valor mínimo de sA que cumple esto es s=3.
* En este caso, se pueden tomar aumentos distintos (entre paréntesis) que resultan en la misma resistencia, pero es más eficiente
  + Si se colocan los elementos de menor capacidad más próximos a la fuente, se reducen los retardos.

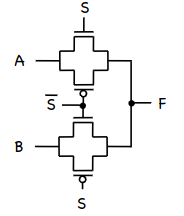
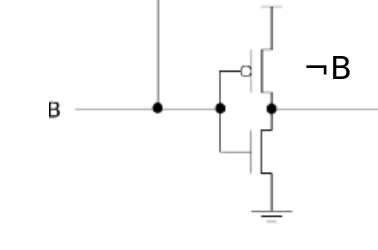
**Fan-out / Fan-in**

* **Fan-out:** Número de puertas conectadas a la salida de una puerta
* **Fan-in:** Número de puertas conectadas a la entrada de una puerta
  + Afecta significativamente a **tpHL**, con una función cuadrática en el peor caso.
  + Se deben evitar conectar más de 4 puertas a la entrada de una puerta

**Lógica de transistor de paso complementaria (CPL) II**

* Se obtiene simultáneamente la complementaria de cada salida
* Las puertas básicas tienen todas la misma estructura, sólo cambian las entradas
* **Inconvenientes:**
  + Las NMOS transfieren un ‘0’ fuerte y un ‘1’ débil
    - Siendo VTh la tensión umbral del transistor y VDD la tensión en caso de ‘1’, en caso de ‘1’ la la salida del transistor será VDD-VTh. Dependiendo de los márgenes de ruido del inversor, este valor puede no ser reconocido como ‘1’. Se pierde un valor de VTH en cada transistor.
  + PMOS transfiere un ‘1’ fuerte y un ‘0’ débil
* **Soluciones:**
  + Usar transistores con VTH=0 (non é boa! sensibles ao ruido!)
  + Utilizar un lazo de realimentación I: En caso de ‘1’, se activa un transistor que conoecta VDD con la salida del transistor a corregir, fijando la tensión a VDD y evitando pérdidas.
    - Ejemplo: AND/NAND en CPL con realimentación



* + Usar puertas de transmisión:
    - Combinando los dos tipos de transistores, se complementan. En caso de ‘1’ lógico funciona el PMOS, en caso de ‘0’ el NMOS. De esta forma, se evitan las pérdidas.
    - Ejemplo de uso: multiplexo. Si S=’1’ F=A, si S=’0’ F=B.
* **Nota:** esta peza, por si misma, funciona como un inversor creo

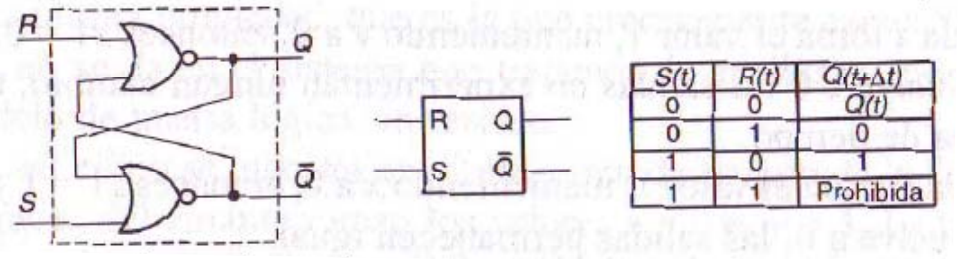
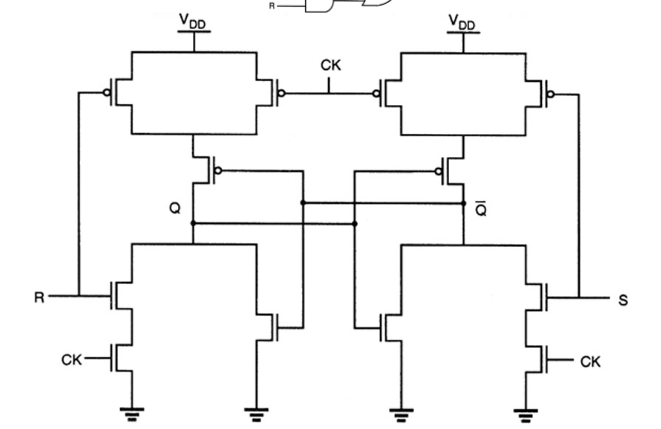
**Circuitos lógicos secuenciales**

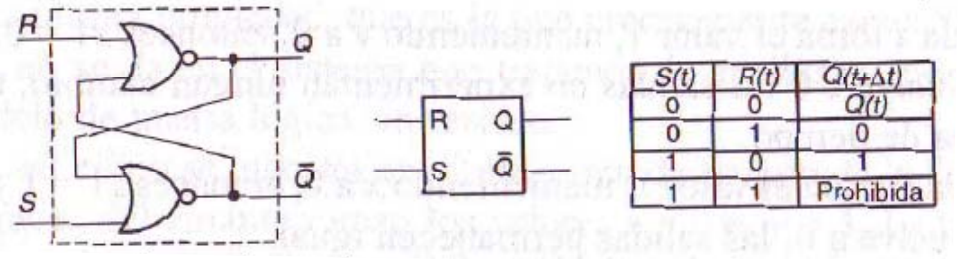
**Tipos de registros**

* **Latches:** se activan con reloj en alta/reloj en baja. (sensible a nivel)
  + La señal cambia al estar en modo transparente (normalmente, reloj en HIGH) y se mantiene estable en modo hold (norm, reloj en LOW)
  + **Inconveniente:** En un mismo ciclo de modo transparente, si es demasiado largo, podría cambiar el valor varias veces, produciendo un valor incorrecto.
* **Registros/flipflops:** Sensibles a los flancos (flanco positivo/negativo). Se construyen mediante latches. Son más útiles.

**Biestable mediante inversores**

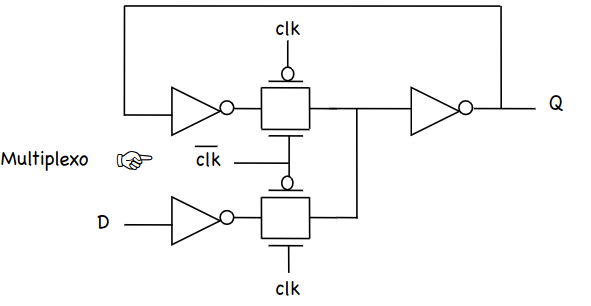
* El acoplamiento cruzado de dos inversores da lugar a un circuito biestable (dos estados estables)
* Requiere intervención exterior para cambiar el valor del estado. Dos estrategias:
  + **On-line:** Introduce un cambio entre los inversores mientras está en funcionamiento
  + **Off-line:** Pausa el mecanismo temporalmente, introduce el valor deseado y lo reanuda.

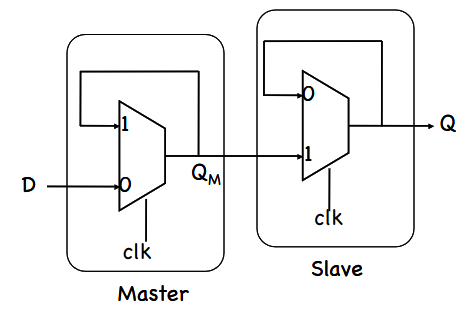
**Ejemplo:Latch SR (On-line)**

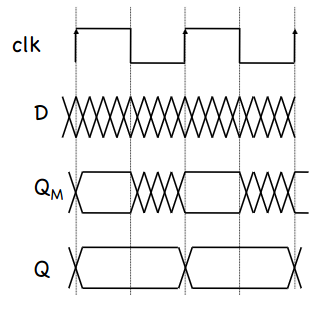
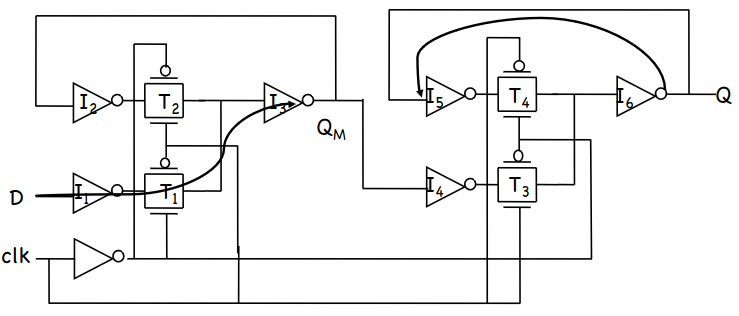


Q = ¬(RCK + Q)

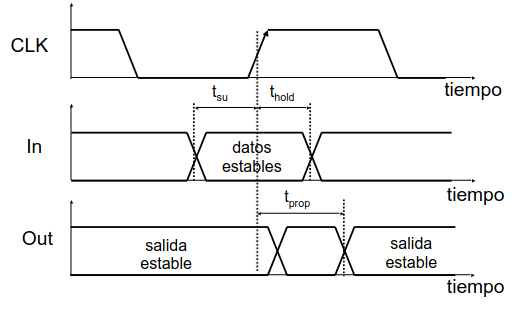
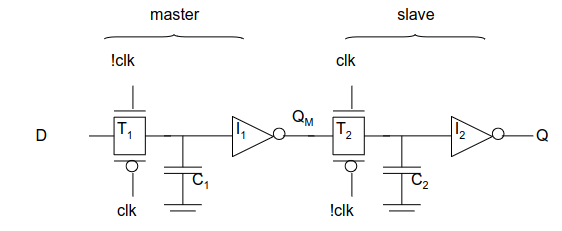
**Latches off-line**

* Se cambia de estado rompiendo el lazo de realimentación, mediante un multiplexor
* (en imagen) un latch negativo, transparente cuando el reloj está en baja. 
  + Un latch positivo sería intercambiando 0 y 1, y sería transparente con el reloj en alta.
* Se puede implementar un multiplexor mediante puertas de transmisión:
  + Es necesario pasar la señal de reloj a ambas partes de la puerta de transmisión. De esta forma, los distintos ciclos quedan bien separados y no se produce ninguna indeterminación donde ambos inversores están conectados uno con el otro, produciendo un sistema inestable cuya salida dependería de sus retardos.

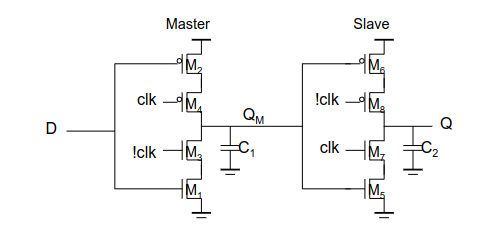
**Flipflop disparado por flanco (master-slave)**

* Compuesto por dos latches, siendo uno master y otro slave. El S tomará como entrada la salida del M.
* Ejemplo:
  + Siendo M transparente en clk=0 y S transparente en clk=1
  + El resultado es que la salida de S sólo cambia en flanco de subida.

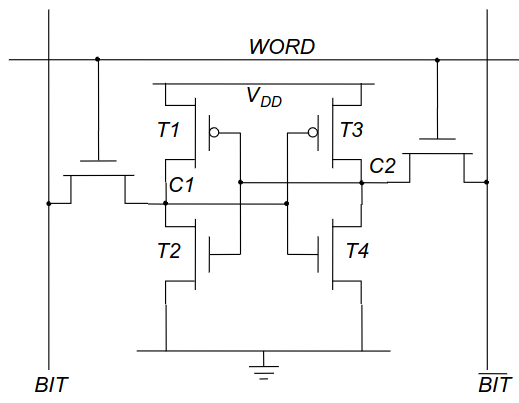
**Caracterización de flipflop I**

* Sean tpd\_inv los retardos de los inversores y tpd\_txx los retardos de las puertas de transmisión
* **Tiempo de set-up (tsu) -** Tiempo anterior al flanco positivo para el que los datos D deben ser válidos.
  + 3\*tpd\_imv + tpd\_tx
* **Tiempo de mantenimiento (thold)** tiempo posterior al flanco positivo que debe mantenerse la entrada D. Suele ser 0.
* **Retardo de propagación (tprop):** Tiempo que tarda QM en propagarse a Q
  + tpd\_inv + tpd\_tx (sólo un inversor, se considera que el inversor I4 ya ha sido pasado antes de empezar a contar tprop)
* **Registro dinámico:** Utilizan condensadores cuya carga almacena el dato guardado. Sin embargo, mantienen el dato sólo temporalmente debido a fugas.
  + tsu = tpd\_tx, tc-q= 2tpd\_inv + tpd\_tx

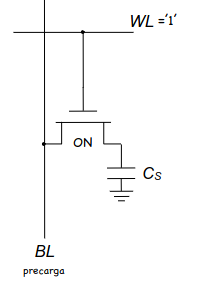
**Clock Skew I**

* Fenómeno observado en circuitos síncronos, donde CLK y ¬CLK no cambian de valor simultáneamente, por lo que las señales de reloj no llegan al mismo tiempo a los componentes.
  + **Solapamiento 1-1:** Existe un instante donde ambas son 1
  + **Solapamiento 0-0:** Existe un instante donde ambas son 0
* Para crear un registro insensible al clock-skew, se puede crearlo sin utilizar ¬CLK. Otra alternativa:

**Memoria de estado sólido**

**Celda RAM estática (SRAM) III**

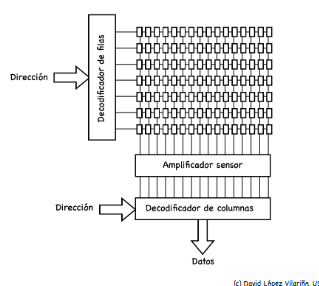
* La señal ‘WORD’ indica si se lee la celda representada o no.
* Cada una de las celdas almacena un bit en memoria
* Para leer, primero se precarga BIT y ¬BIT a 1.
  + De esta forma, cuando se activan los transistores (cuando WORD=’1’) si la señal interna es un 1 se leerá un 1 (no cambia), y si es un 0 el ‘1’ lógico de BIT se descargará al contactar con tierra y se convertirá en 0. De cualquier forma, BIT tomará el valor de C1 y ¬BIT el de C2.
  + Este proceso se denomina ‘descarga condicional’. Al producirse, temporalmente fluye corriente por C2 por lo que, si tenía un 0, durante un momento su valor pasará a ‘1’ y luego se corrige. Esto puede ser un **follón** bien grande, debido a que durante ese momento se varía la entrada de C1.[[7]](#footnote-6)
  + Denominamos VIL al valor de tensión máximo que se produce en el **follón**. Para minimizarlo, requerimos que la resistencia de TW sea mucho mayor que la ofrecida por T4
* Para escribir, se precarga el dato a escribir en BIT y su negado en ¬BIT.
  + Se activa WORD. El proceso es el mismo que en la lectura, produciéndose descarga condicional, y C1 toma el mismo valor que BIT.
  + En la transición ‘1’-->’0’, se produce otro **follón**. Para minimizar el efecto del follón, la resistencia de T3 debe ser mucho mayor que la de TW (en este caso, queremos que a variación de tensión sea grande para que si se detecte o cambio, que antes queríamos evitar.

**Celda RAM dinámica (DRAM)**

* Utiliza un condensador para almacenar la memoria.
* **Escritura:** Se carga Cs activando WL y poniendo el valor correcto en BL
* **Lectura:** Se precarga BL y se activa WL. Así, se distribuye la carga entre CS y CBL, por lo que BL toma el valor de Cs.
  + Sin embargo, al hacer esto se destruye lo almacenado en Cs.

**Diferencias DRAM/SRAM**

* Las celdas DRAM tienen una línea de acceso (BL) en contraste con las SRAM
* La operación de lectura en DRAM es destructiva, requiere operaciones adicionales
  + Además, requiere una capacidad adicional para almacenar el dato, y también un amplificador sensor **II** por bitline para la distribución de carga
* La memoria SRAM tiene más transistores (más costosa)

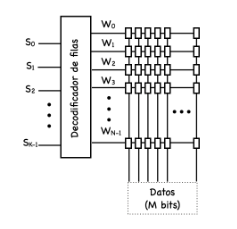


**Circuitos periféricos**

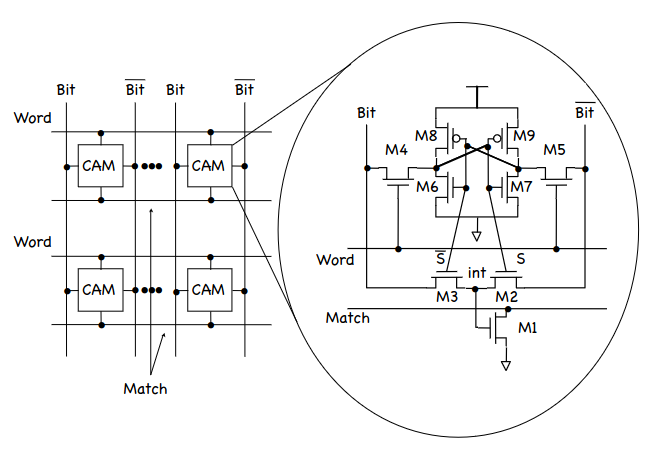
* Amplificador sensor
* Decodificador de filas
* Decodificador de colimnas

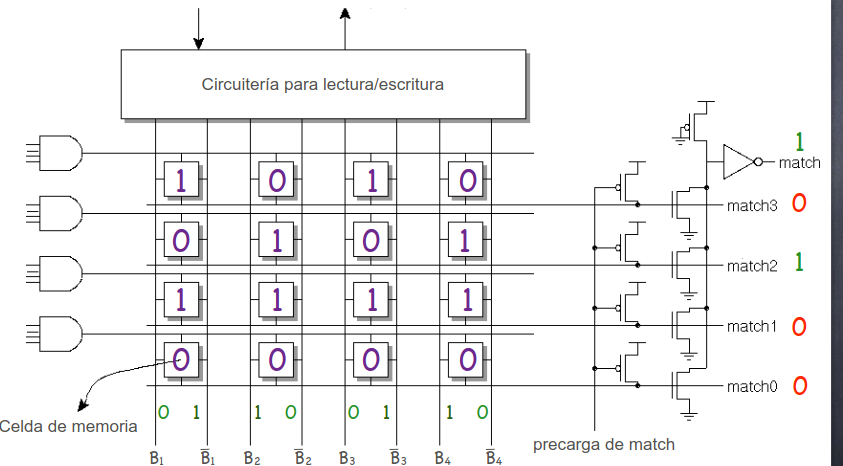
**Amplificador sensor**

* Es necesario en las DRAM, y aumenta el rendimiento de las SRAM.
* Se coloca entre BL y la salida, estando conectado a una fuente VDD/2
  + Si VBL>VDD/2, VOUT=VDD
  + Si VBL<VDD/2, VOUT=VDD

**Decodificadores**

* Reducen el número de líneas de selección.
* N palabras → K=log2N líneas de selección
* Idealmente, se busca que nºcolumnas=nºfilas

**Memorias CAM**

* **Operación Match**: devuelve 0 si el dato no está en la celda
  + El dato a buscar se pasa en las líneas bit
  + Si el dato no está en la celda, N3 ON, por lo que match=0
* Una memoria contiene varias celdas CAM, agrupadas en palabras. Una serie de celdas CAM permiten buscar una palabra completa. Ejemplo: búsqueda de 0101

1. N viene de que el canal es un semiconductor tipo N, [↑](#footnote-ref-0)
2. nota: 1 m = 10³ mm = 10⁶ μm = 10⁹ nm = 10¹² pm = 10¹⁵ fm [↑](#footnote-ref-1)
3. Tener en cuenta que N impar invertirá la entrada. Si el dispositivo que se optimiza es un inversor, se debe dejar N impar. [↑](#footnote-ref-2)
4. En la implementación con NMOS, en los estados donde la salida de la función debería ser 1, se conecta F con VDD.En el caso de la implementación con PMOS, no está garantizado que cuando F=0 la salida se baje. [↑](#footnote-ref-3)
5. Se toma 2R porque, habitualmente, Rp=2RN. Non ten que ver co de arriba de alto/bajo. [↑](#footnote-ref-4)
6. En algunos ejercicios, se indica el valor del retardo (ej: retardos menores de 1 ns) [↑](#footnote-ref-5)
7. todo esto do **follón** non está nas traspas nin idea de se entra. o tipo doulle muitisima importancia

   nos exámenes si ten entrado. igual o queres explicar mellor do que está ahora porque non sei eu se che dará por ben esto de **follón** [↑](#footnote-ref-6)